BL616CL

硬件设计指南

Version: 1.0

Copyright @ 2025

www.bouffalolab.com

目录

1 概述 7
2 管脚功能描述 8
2.1 电源管脚功能描述 8
2.2 外设接口分布描述 9
3 原理图设计 10
3.1 电源 10
3.1.1 VDD33BAT 10
3.1.2 VDD33IO 11
3.1.3 VDD18IO 11
3.1.4 VDD33PA 12
3.1.5 VDDSYS 与 VDDRF 13
3.1.6 VDDCORE 13
3.2 晶体 13
3.2.1 40M 晶体 14
3.2.2 32K 晶体 14
3.3 射频 15
3.4 复位与启动电路 16
3.5 GPIO 17
3.5.1 IO 功能分配 17
3.5.2 IO 上电瞬时状态 17
3.6 外置 Flash 19
3.7 低功耗设计 19
3.8 超低功耗设计 20
4 PCB 版图设计 22
4.1 电源 22
4.2 40M 晶体 24

4.3 射频 24
4.4 天线 25
4.5 硬件复位 26
4.6 SDIO2.0 26
4.7 USB2.0 26
4.8 接地 26
5 参考设计 27
5.1 BL616CL48 模组原理图设计 28
5.2 BL616CL48 低功耗模组原理图设计 29
5.3 BL616CL48 超低功耗模组原理图设计 30
6 参考文献 31

插图

1.1 功能框图 7

3.1 VDD33BAT 电源管脚原理图设计 10
3.2 VDD33IO 电源管脚原理图设计 11
3.3 VDD18IO 电源管脚原理图设计 12
3.4 VDD33PA 电源管脚原理图设计 12
3.5 VDDSYS 与 VDDRF 电源管脚原理图设计 13
3.6 VDDCORE 电源管脚原理图设计 13
3.7 40M 晶体原理图设计 14
3.8 32K 晶体原理图设计 15
3.9 射频匹配原理图设计 16
3.10 复位与启动原理图设计 17
3.11 外置 FLASH 原理图设计 19
3.12 低功耗应用原理图设计 20
3.13 超低功耗应用原理图设计 21

4.1 模拟电源部分的 PCB 走线 23
4.2 数字电源部分的 PCB 走线 23
4.3 晶体部分的 PCB 走线 24
4.4 射频匹配器件的 PCB 走线 25

5.1 BL616CL48 模组原理图 28
5.2 BL616CL48 低功耗模组原理图 29
5.3 BL616CL48 超低功耗模组原理图 30

表格

1 历史版本记录 6

2.1 BL616CL 芯片各电源管脚说明 8

3.1 启动模式控制 16
3.2 芯片上电瞬间 IO 电平状态 17

表 1: 历史版本记录

日期	版本	修改内容
2025/06/18	1.0	初版

1 概述

BL616CL 是一款适用于超低功耗应用的 Wi-Fi 6 + Bluetooth 5.3 组合芯片。其主要包含无线和微控制器两个子系统。

无线子系统工作频带为 2.4GHz、其内部集成的无线制式包含 Wi-Fi 802.11b/g/n/ax 和 BLE。微控制器子系统包含一个带有浮点单元、DSP 单元、高速缓存和存储器的低功耗 32 位 RISC-V CPU，最高主频可达 320M。此外，芯片具有丰富的外设接口，例如：DVP、MJPEG、Dispaly、Audio Codec、USB2.0、SDU、以太网 (EMAC)、SD/MMC(SDH)、SPI、UART、I2C、I2S、PWM、GPDAC、GPADC、ACOMP 等，可以应用于音视频等多媒体领域和工业领域。

BL616CL 拥有 PDS(Power Down Sleep) 和 HBN(Hibernate) 两种低功耗模式，其中 PDS 模式分为 PDS1/3/7/11/15 多种等级，在该模式下所有 RAM 均可以保活，且支持所有 IO 唤醒。另外，Sec Eng 模块支持 AES/SHA/PKA/TRNG 等功能，支持镜像加密和签名启动，满足物联网领域的各种安全应用需求。BL616CL 其系统功能框图如下所示：

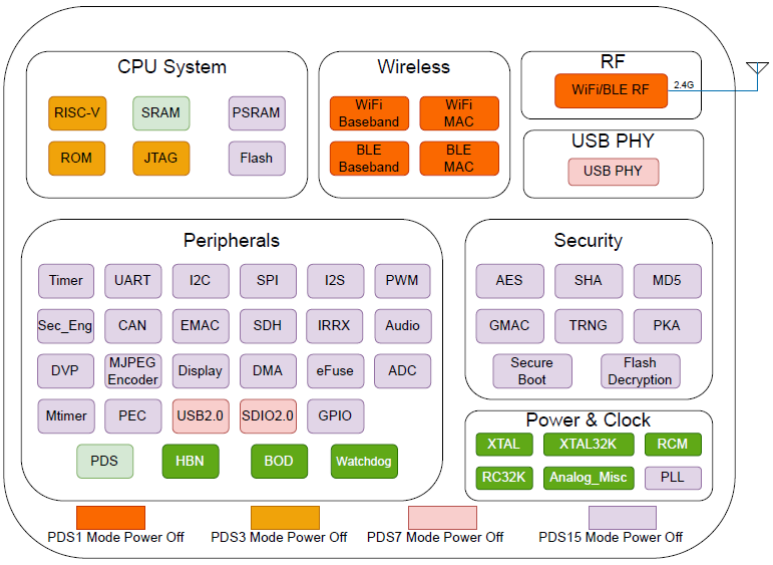

图 1.1: 功能框图

本文档列举了采用 BL616CL 芯片完成硬件设计时的注意事项，帮助用户减少产品开发前期的设计风险。

2 管脚功能描述

本章针对 BL616CL 芯片各个电源管脚功能以及该芯片常用的 IO 接口进行说明。

2.1 电源管脚功能描述

BL616CL 各个电源管脚功能描述以及相应电源管脚的参考电流（非实际电流）大小，如下所示:

表 2.1: BL616CL 芯片各电源管脚说明

BL616CL48 管脚序号	电源名称	最小值	典型值	最大值	输入/输出	功能描述	最大电流
10	VDDCORE		0.9V		OUT	芯片内部 LDO 0.9V 输出，供电数字 core 电路	300mA
11	VDDSYS		1.3V		IN	芯片电源输入管脚，系统子电路供电	350mA
12	VDD33PA		3.3V		OUT	芯片内部射频 PA 模块供电 3.3V	500mA
14	VDDRF		1.3V		OUT	芯片内部 LDO 1.3V 输出，同时给芯片内部射频子模块供电 1.3V（非 PA）	400mA
15	VDD33BAT		3.3V		IN	外部 3.3V 供电	450mA
37	VDD33IO		3.3V		IN	外部 GPIO 电源域 3.3V 供电	300mA
38	VDD18IO		1.8V		OUT	芯片内部 LDO 输出，内嵌 flash 供电	100mA

注解: 上述表格中列举的各电源管脚设计参考电流为该管脚最大电流值，用于指导终端用户进行 PCB 走线宽度计算。实际应用中，该管脚电流不会超出表格中所列数值。

2.2 外设接口分布描述

更详细的外设功能管脚分配，请参考文档 BL616CL_Datasheet 。详细说明在管脚定义章节。

常用外设 IO 接口说明如下：

- BL616CL48（QFN48）可用 IO 数量为 37 个。
- BL616CL 默认固件下载 UART 接口为 GPIO34（BL616CL UART_Tx），GPIO35（BL616CL UART_Rx）。
- Bootstrap 功能的管脚为 GPIO36，该 IO 在使用时通常会接下拉电阻用于从 flash 启动。一旦启动完成后，该 IO 可用作其他功能。当下载固件（UART 启动）时，该 IO 需要置为高电平。
- xtal32k 只能使用固定的两个 IO，GPIO4（xtal32K_in），GPIO5（xtal32K_out）。若未使用 xtal32K，则该两个 IO 可做其他功能。注意：GPIO5 在上电的时候，会存在高低电平变化，所以建议不要将该 IO 作为输出功能。
- 只有 GPIO32（USB_DP）和 GPIO33（USB_DM）可以用于 USB2.0 通信。若 USB2.0 功能不使用，该两个 IO 可以当作其他功能的 IO 来使用。

3 原理图设计

本章列举了采用 BL616CL 芯片做原理图设计时，需要注意的常见问题及说明。

3.1 电源

BL616CL 芯片的电源分为数字电源与模拟电源。其中 VDDCORE、VDD33IO、VDD18IO、VDD18_Flash 属于数字电源，VDD33PA、VDDRF、VDD33BAT、VDDSYS 属于模拟电源。

3.1.1 VDD33BAT

BL616CL 该电源管脚是芯片供电的总电源入口。该电压要求的范围为 3.3V±10%。建议在该电源管脚位置放置一个 4.7uF 的电容，耐压值 6.3V 以上，用于滤除外部电源引入的纹波。除此之外，建议在该电源总入口的位置靠近芯片端并联一个 3.3V TVS 管，用于抑制外部电源引入的瞬态电压脉冲，推荐型号：WS03DPF-B。如果用户端设计的是通用模组，需要将 TVS 管放到模组上。

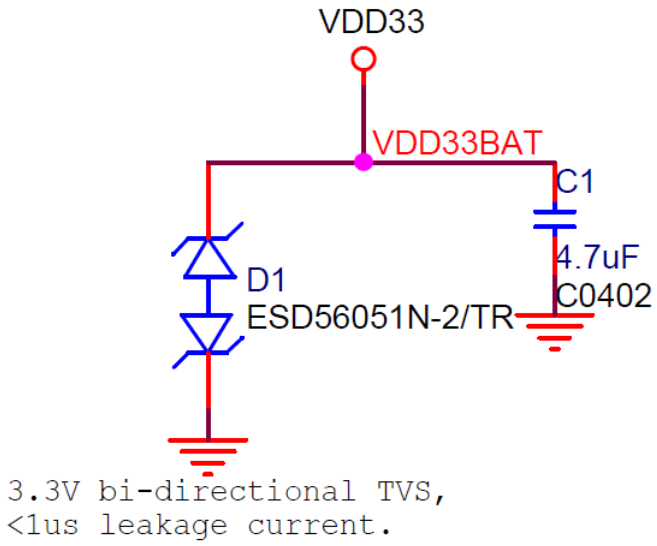

图 3.1: VDD33BAT 电源管脚原理图设计

注解：TVS 器件选型需要注意的事项：

- 该器件的工作电压需要是 3.3V。
- 该器件的 Vrwm(Reverse Stand-off voltage) 的最大值不能低于 3.3V。
- 该器件的漏电流较小，通常漏电流小于 1uA，需要根据实际应用场景来判定是否可接受。
- 可选择型号：ESD56051N，WS03DPF-B，ESD/TESD03CB，WS03DLC-B。

3.1.2 VDD33IO

BL616CL VDD33IO 电源管脚是给芯片所有外部 IO 驱动电路供电，该电源管脚位置建议增加一个 0.1uF，耐压值 6.3V 的带电容。用于滤除 30MHz 左右纹波。

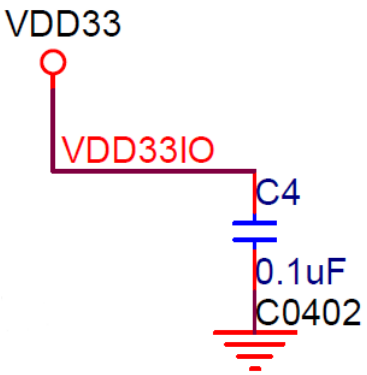

图 3.2: VDD33IO 电源管脚原理图设计

3.1.3 VDD18IO

BL616CL 该管脚是一个输出电源管脚，内部是一个 1.8V 的 LDO，用于给内嵌 flash 或者 psram 供电。为了增加 LDO 的稳定性，需要在该电源管脚位置并接一个 4.7uF 电容，耐压值 6.3V 以上。该管脚的原理图设计如下所示：

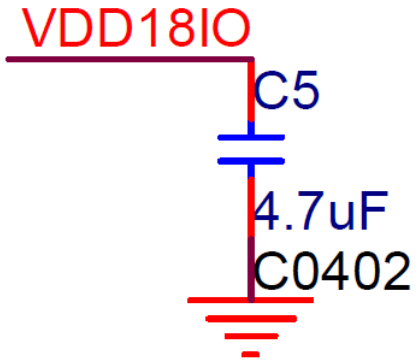

图 3.3: VDD18IO 电源管脚原理图设计

3.1.4 VDD33PA

BL616CL 该管脚是一个输入电源管脚，用于芯片内部的 PA 电路模块供电，为了减小 PA 发包时 3.3V 电源电压瞬间跌落幅度，需要在该电源管脚位置并接一个 10uF 电容，该电容的耐压值 10V 以上。同时，为了防止电源上存在 2.4GHz 频率分量影响内部电路性能以及防止内部 PA 产生的 2.4GHz 分量串扰到 3.3V 电源上，需要在该管脚位置放置一个自谐振频率为 2.4GHz 左右的电容（村田物料：0402 封装为 10pF，0201 封装为 16pF），对“地”形成一个低阻，将 2.4GHz 频率分量的干扰信号滤除。

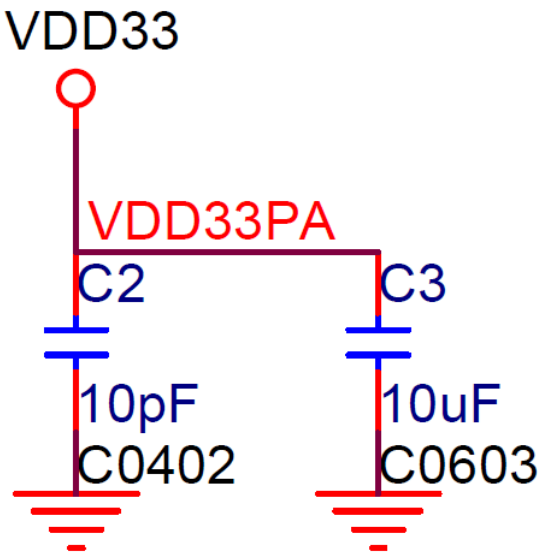

图 3.4: VDD33PA 电源管脚原理图设计

3.1.5 VDDSYS 与 VDDRF

BL616CL 该 VDDRF 管脚是芯片内部 LDO 1.3V 输出管脚，作为芯片其他电路模块电源的输入。在设计中通过 PCB 走线将该管脚与 VDDSYS 管脚连接在一起。需要在靠近 VDDRF 管脚位置并接一个 4.7uF 电容增加 LDO 的稳定性，另外，预留一个 0.1uF 电容位置滤除电源纹波。在靠近 VDDRF 输入电源管脚位置并接一个 0.1uF 电容，同时预留一个 4.7uF 电容位置，默认不上件。

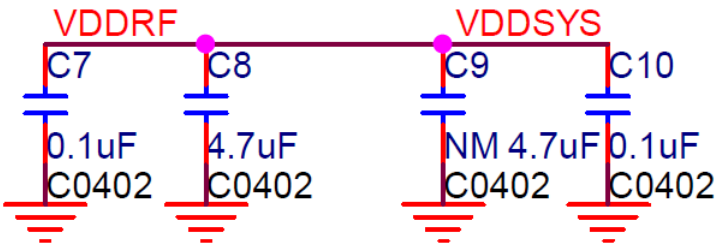

图 3.5: VDDSYS 与 VDDRF 电源管脚原理图设计

3.1.6 VDDCORE

BL616CL 该管脚是芯片内部 LDO 0.9V 输出管脚，需要在该管脚位置并接一个 4.7uF 电容增加 LDO 的稳定性。

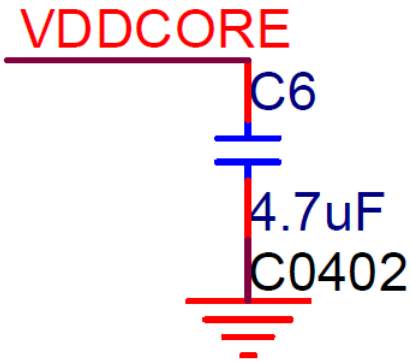

图 3.6: VDDCORE 电源管脚原理图设计

3.2 晶体

BL616CL 芯片包含两个晶体输入源，其中高频晶体（典型值为 40MHz），该晶体为产生系统时钟的 PLL 提供输入源以及为无线射频 VCO 提供输入源；另一个晶体输入源为 32.768KHz 晶振，该晶体主要用于计时以及低功耗定时唤醒。

3.2.1 40M 晶体

该晶体用于芯片内部多个 PLL 的输入源也可以直接作为部分外设接口的时钟输入源。当前该芯片支持的晶体频率只有 40MHz。芯片内部集成负载电容阵列，等效负载电容范围为：5pF ~ 16pF（0.275ppm/capcode，capcpde 范围：0~255）。在产测校准阶段可以通过调节该电容值完成频偏校准。

该晶体的原理图设计如下所示：

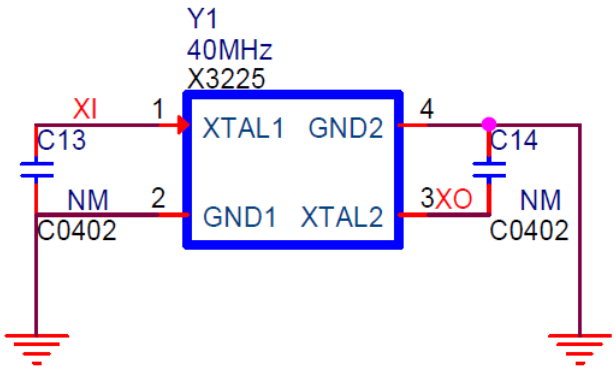

图 3.7: 40M 晶体原理图设计

注解：40M 晶体的选型可以参考以下指标：

- 频率稳定度正负 20ppm 以内
- 负载电容值小于等于 15pF，建议选择 12pF。
- 驱动功率小于 200uW。
- 等效电阻 ESR 小于 100 欧姆。

3.2.2 32K 晶体

该晶体主要用在低功耗应用场景，定时唤醒芯片，处理 wifi 相关业务和客户应用业务。同时，在精确定时场景下也会使用到该晶体。虽然，芯片内部已经集成了 32K-RC 振荡器，但是该内部 RC32K 振荡器经过校准后依然存在一定误差（500ppm），对于精确定时应用场景还存在不足。该晶体的原理图设计如下所示：

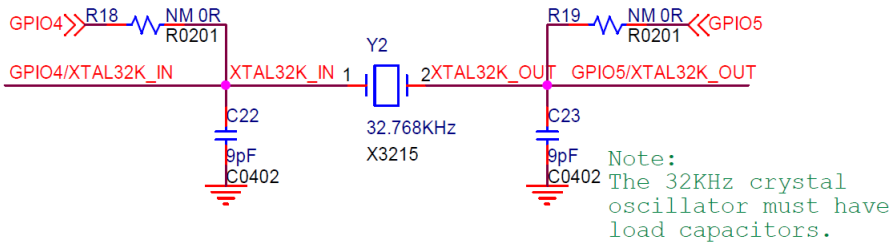

图 3.8: 32K 晶体原理图设计

上述原理图中增加了两个电阻，主要目的是考虑到当实际应用场景中用不到 32K 晶体做精确定时时，可以通过选切 0R 电阻，增加两个 GPIO 使用。另外，

注解：32K 晶体使用注意事项：

- 一定要在 32K 晶体两侧预留负载匹配电容，芯片内部没有集成针对 32K 晶体的负载电容阵列，需要使用外部电容来调整晶体误差。

3.3 射频

BL616CL 芯片支持 WiFi 与 BLE，该芯片的工作频段为 2.4GHz。为了保证优异的射频性能以及良好的杂散性能，建议用户在设计初期为芯片射频口预留一个 π 型匹配电路，该匹配电路构成一个低通或者带通滤波器，在兼顾 PA 最佳匹配时也增大了谐波的抑制。如果客户实际设计的产品空间充裕，建议客户在设计 π 型匹配电路时，将器件摆成一个“工”字型，根据实际调试结果决定最终的匹配器件是采用“π”字型还是“Z”字型。摆成“工”字型的目的是器件的不同朝向，会影响谐波的抑制程度，造成此现象的主要原因与 PCB 地皮网络的布局布线有关。

匹配网络原理图设计如下所示：

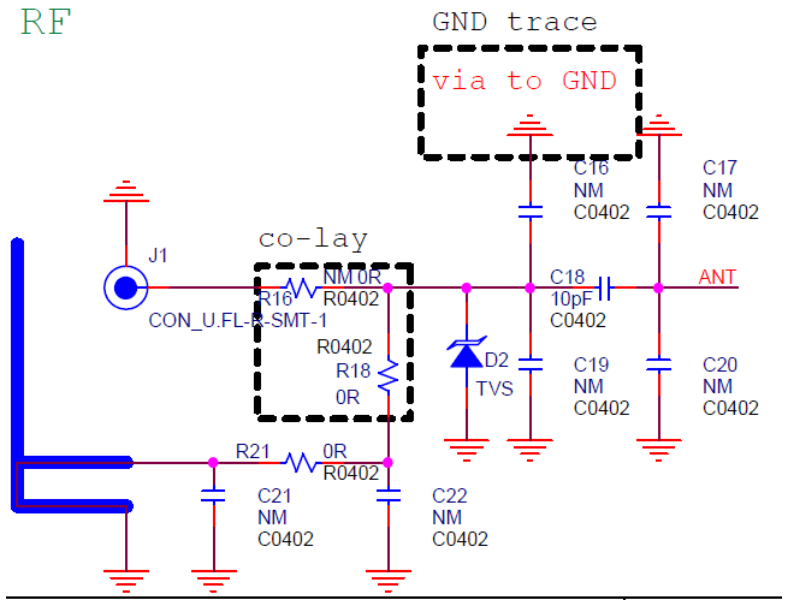

图 3.9: 射频匹配原理图设计

同时为了兼顾用户设计的产品便于在产线上校准测试或者产品支持 IPEX 与 PCB 天线两种类型，建议预留测试点位置，如上图中器件 J1。除此之外，若终端用户对自己设计的天线信心不足，可以针对天线预留一个“π”型匹配网络，用于调试天线性能。另外，若用户对天线端口的抗静电要求比较高，则需要在射频走线末端天线馈电点位置预留并接 TVS 管器件。推荐型号：WE05DGCMS-BH。

注解：射频走线其他注意事项：

- 射频走线末端并接的 TVS 管需要具有较小的结电容，减小 TVS 管引入的寄生参数。另外需要大于 6V 的 VBR 电压（Reverse Breakdown Voltage），防止由于 PA 发包时的 PAPR 现象引起的性能恶化。
- 为方便射频校准测试，除了预留 Ipex 座子外，可以在射频走线预留 TP 点，但是连接到该 TP 点的 PCB 走线越短越好，为了保证射频走线特征阻抗的连续性。

3.4 复位与启动电路

GPIO36 和 CHIP_EN 的不同电平组合，控制芯片的启动模式。如下表所示

表 3.1: 启动模式控制

GPIO36	CHIP_EN	Boot Mode
1	0->1	Joint Download Boot(Boot from UART(GPIO34/35)/USB/SDU)
0	0->1	SPI Boot

- 在 SPI Boot 模式下，ROM bootloader 从 flash 加载镜像到 ram 中，并执行程序来启动系统。
- 在 UART(下载) 启动模式下，用户可以使用 UART、USB 或 SDU 接口将二进制文件下载到 flash 中。也可以将二进制文件下载到 SRAM 中并从 SRAM 中执行。

默认情况下，对 GPIO36(Boot) 管脚连接一个下拉电阻，这样芯片上电默认就会从 flash 启动，运行用户应用程序。

当 CHIP_EN 引脚拉至低电平时，芯片复位，本质是给芯片内部断电。建议 CHIP_EN 管脚增加一个 RC 延时电路，用于当系统 3.3V 上电后，滞后几 ms 待电源稳定，芯片通过判断 BOOT 管脚电平来选择启动方式。建议延时 3.3ms。

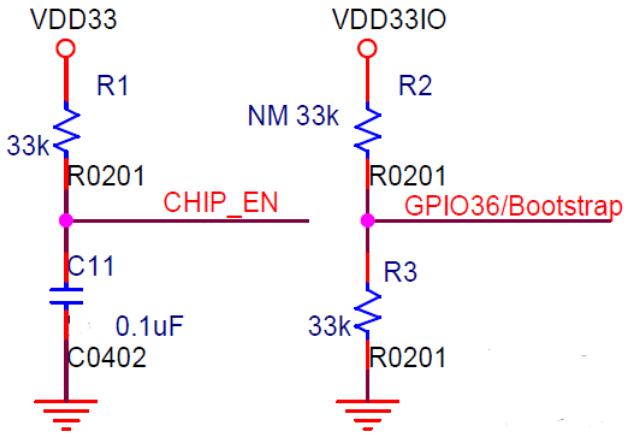

图 3.10: 复位与启动原理图设计

3.5 GPIO

3.5.1 IO 功能分配

用户可参考第二章外设接口功能描述小节以及芯片的数据手册“管脚定义”章节，根据项目需求合理分配 GPIO。

3.5.2 IO 上电瞬时状态

BL616CL 芯片上电瞬间所有 IO 的状态如下表所示，为防止上电瞬间，IO 电平的变化导致产品功能出现异常，例如 LED 灯闪烁。用户在做 IO 分配时需要注意，

表 3.2: 芯片上电瞬间 IO 电平状态

GPIO 名称	芯片上电瞬间状态	GPIO 名称	芯片上电瞬间状态
GPIO0	低电平	GPIO19	低电平
GPIO1	低电平	GPIO20	低电平
GPIO2	低电平	GPIO21	低电平
GPIO3	低电平	GPIO22	低电平
GPIO4	低电平	GPIO23	低电平
GPIO5	输出高低电平变化	GPIO24	低电平

表 3.2: 芯片上电瞬间 IO 电平状态 (continued)

GPIO 名称	芯片上电瞬间状态	GPIO 名称	芯片上电瞬间状态
GPIO6	低电平	GPIO25	低电平
GPIO7	低电平	GPIO26	低电平
GPIO8	低电平	GPIO27	低电平
GPIO9	低电平	GPIO28	低电平
GPIO10	低电平	GPIO29	低电平
GPIO11	低电平	GPIO30	低电平
GPIO12	低电平	GPIO31	低电平
GPIO13	低电平	GPIO32	低电平
GPIO14	低电平	GPIO33	低电平
GPIO15	低电平	GPIO34	低电平
GPIO16	低电平	GPIO35	低电平
GPIO17	低电平	GPIO36	低电平
GPIO18	低电平		

注解：若用户端设计的是整机系统产品，而非简单的通用模组。IO 使用其他注意事项：

- 所有的 IO 只有一个电源域（VDD33IO），不支持 IO 存在两种不同电压。
- GPIO5 上电会有高低电平变化，用户使用该 IO 时需要特别注意会不会引入异常现象。
- 不允许 IO 的电压高于芯片的供电电压 0.3V 以上，不然会有 IO 倒灌漏电的风险。
- 通常 IO 信号线连接外部接插件时，需要在 IO 信号线上并接一个 TVS 管，以防静电损伤。也可以预留一个串接电阻的位置来减小风险。
- 若 IO 使用 USB 功能，建议在 USB 信号线上预留共模电感位置，用于抑制共模辐射，减弱 RF Desense 的影响。尤其是 USB 信号线比较长且经过接插件的情形。
- 若 IO 作为 SDIO 的 CLK 信号线，则该时钟线建议预留一个串接电阻的位置，减弱 RF Desense 的影响。

3.6 外置 Flash

由于 BL616CL 某些料号是芯片内部没有内嵌 flash 的，详细料号信息用户可以参考芯片手册。如果需要外挂 flash，则推荐 Flash 的连接参考原理图设计如下：

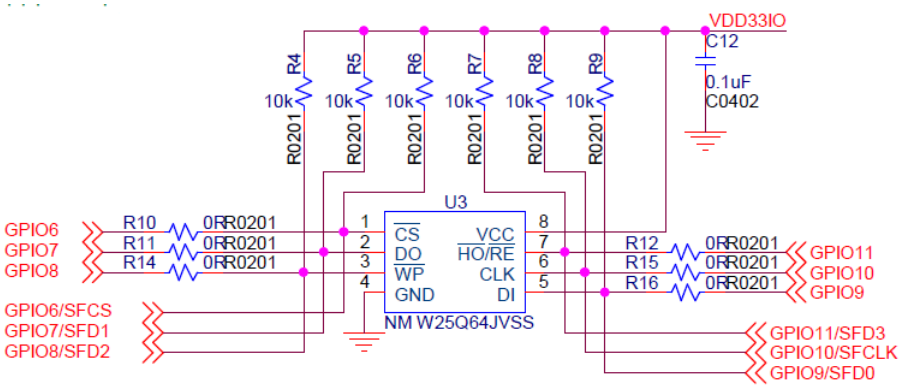

图 3.11: 外置 FLASH 原理图设计

注解：外置 flash 使用注意事项：

- 外置 flash 信号线上需要预留上拉电阻，防止某些型号 flash 存在漏电风险。
- 若 flash 摆放位置距离 BL618 芯片距离比较远，则建议在 flash CLK 上预留一个串接电阻位置，默认上件 0R，用于减小 RF desense 影响。

3.7 低功耗设计

如果终端用户开发的产品对功耗要求比较高，可以参考如下原理图设计来进一步降低 BL616CL 的功耗。采用一颗外置 DCDC 输出 1.3V 电压给到芯片的 VDDRF 以及 VDDSYS 供电（两个网络 PCB 走线连接在了一起）外部 DCDC 的效率高于芯片内部的 LDO 效率。该 DCDC 的使能控制通过 GPIO2 来控制，默认连接一个下拉电阻，该电阻的阻值不能太小，不然会增大电流消耗，默认 10M 欧姆。

- 芯片正常工作时，GPIO2 输出高电平（或者 Pull-UP，上拉电阻 30K 左右），DCDC 正常工作节省功耗；
- 芯片进入到 PDS 休眠时，可以配置 GPIO2 处于 Pull-UP 的状态，让 DCDC 继续工作；
- 芯片进入到 HBN 模式时，GPIO2 的 Pull-UP 功能失效，由于在此模式下 VDDRF 电源下的所有电路模块均断电，所以该外置 DCDC 的 EN 被 10M 欧姆电阻拉低，DCDC 无输出。
- 其他模式，例如下载过程中以及 chip_EN 拉低的时候，外置 DCDC 均处于关闭状态。

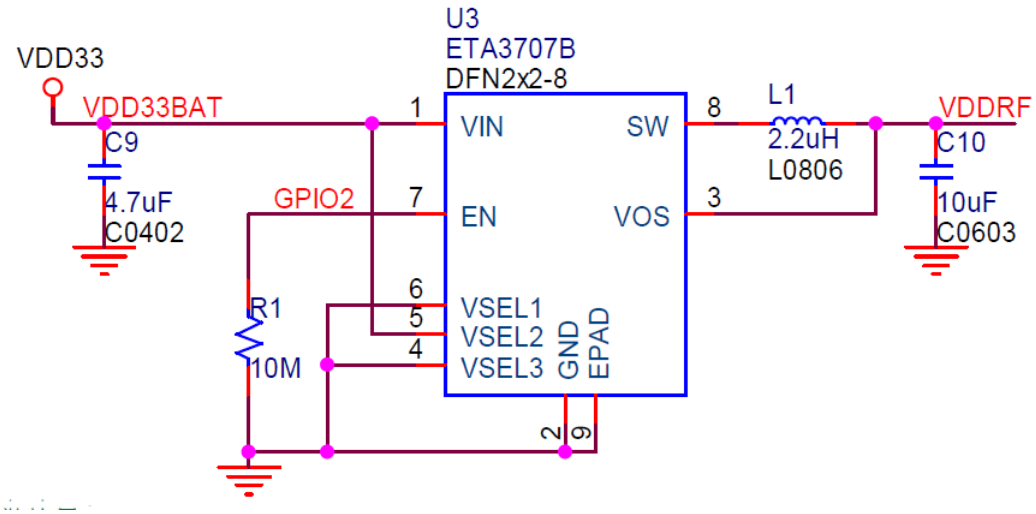

图 3.12: 低功耗应用原理图设计

注解: 外置 DCDC 选型注意事项：

- 具有较低的静态电流 Iq。
- 在轻载的时候，DCDC 效率越高越好。
- DCDC 的带载能力需要达到 300mA 以上。
- 推荐型号：ETA3707B，当然用户可选择其他合适型号。

3.8 超低功耗设计

若用户还需要极致低功耗，则可以单独为 VDDCORE 提供一颗外置 DCDC。该 DCDC 的 EN 网络控制采用 GPIO3。不同模式下该 DCDC 的工作状态与低功耗设计中 DCDC 的工作状态一样。该器件的选型注意事项与低功耗设计 DCDC 选型注意事项一样。

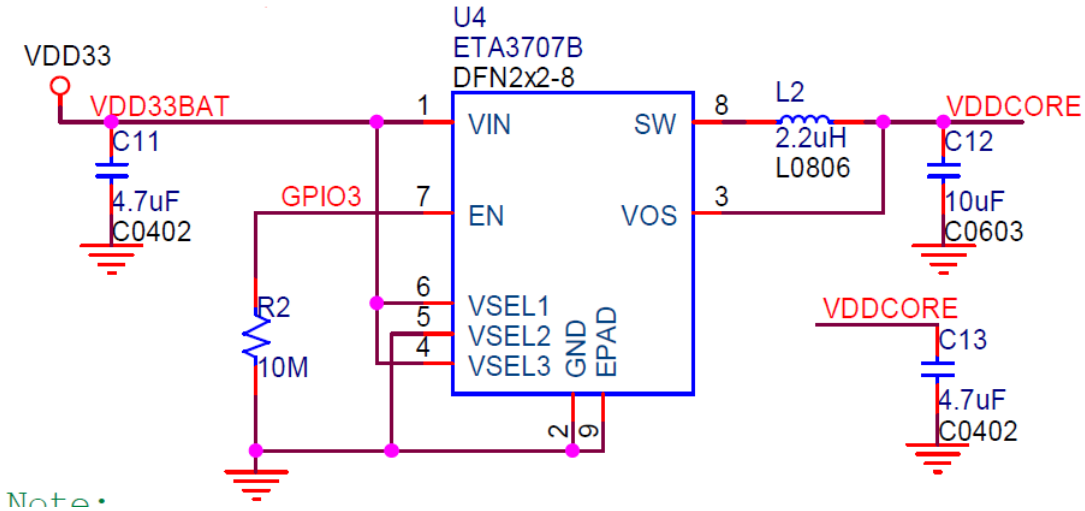

图 3.13: 超低功耗应用原理图设计

4 PCB 版图设计

本章针对采用 BL616CL 芯片做 PCB 版图设计时的注意事项做详细描述。

4.1 电源

关于电源部分的布局布线，建议用户做到如下几点：

- 数字电源与模拟电源隔离原则。如果用户设计的是模组，建议模组的邮票孔供电分两路。若用户直接采用 COB 方式，建议数字电源与模拟电源在远端汇合。
- 模拟电源走线或数字电源走线与各个芯片电源管脚连接时，建议采用星型连接方式。防止各个电源管脚之间的相互影响。
- 电源管脚的滤波电容以及增加电路稳定性的电容，需要靠近芯片电源管脚放置。
- 并接在电源管脚的电容，电容接地端就近打孔连接“主 GND”。
- 电源走线宽度可根据第二章节中电源管脚功能描述中提到的“设计参考电流”来计算。

模拟电源部分的 PCB 走线，采用星型走线方式，如下图所示：

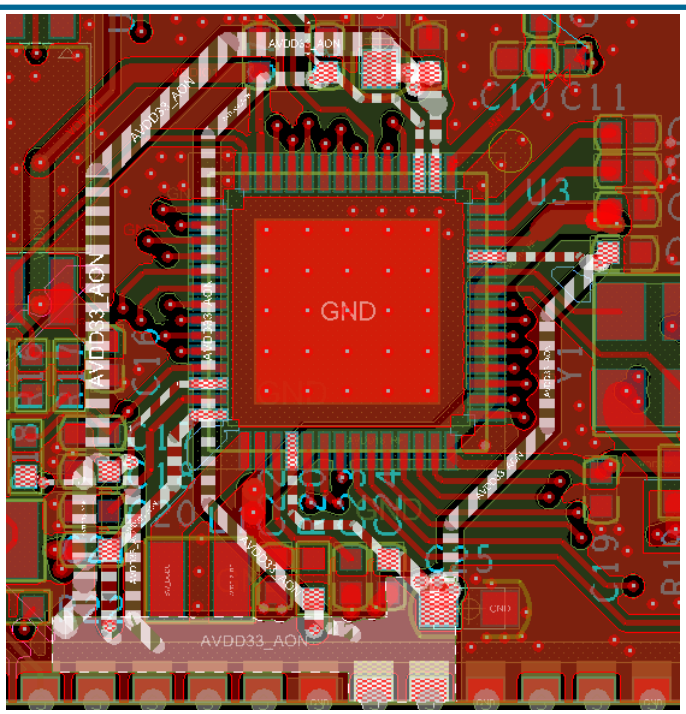

图 4.1: 模拟电源部分的 PCB 走线

数字电源部分的 PCB 走线与模拟电源分开，如下图所示：

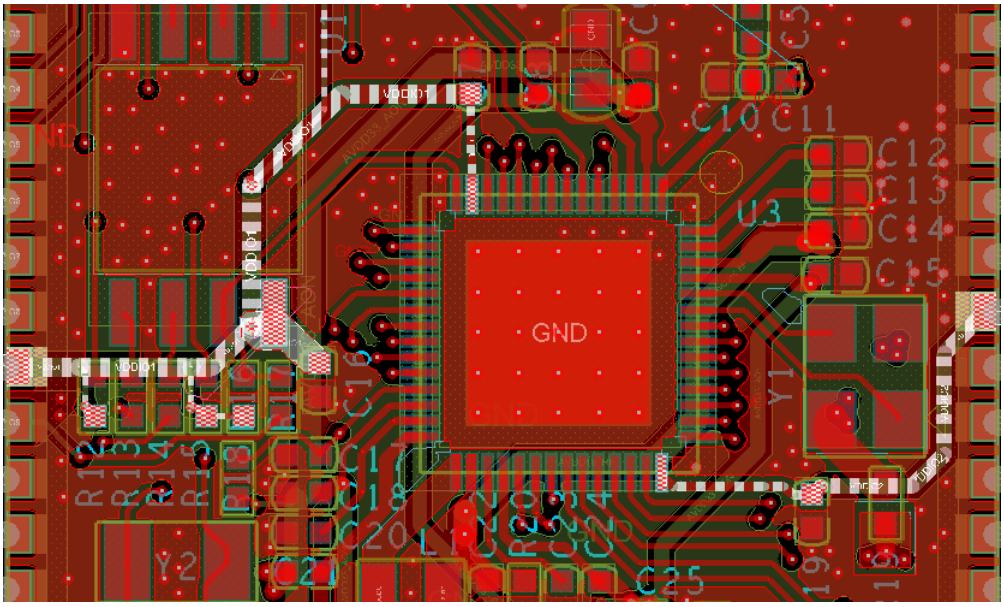

图 4.2: 数字电源部分的 PCB 走线

4.2 40M 晶体

关于晶体部分的布局布线，建议用户做到如下几点：

- 晶体要尽量靠近芯片引脚放置，且使用地皮包裹。防止晶体走线过长，受到其他外部干扰信号影响。
- 晶体及信号线下方至少有一层完整的地平面，最好晶体下方各层不要走高速信号线以及敏感电源线。防止信号线或者电源线与晶体相互干扰。
- 晶体同层的地皮不要连接晶体的 GND 焊盘，而是将晶体的 GND 焊盘打孔连接到隔层的 GND。目的是防止晶体周围地皮被其他信号干扰时，干扰信号从晶体位置进入到芯片振荡器内部，进而引起 RF 性能恶化。
- 晶体的放置位置要远离天线。防止天线发包时影响到晶体以及晶体的高阶谐波耦合到天线造成射频性能恶化。

晶体部分的 PCB 走线，。如下图所示：

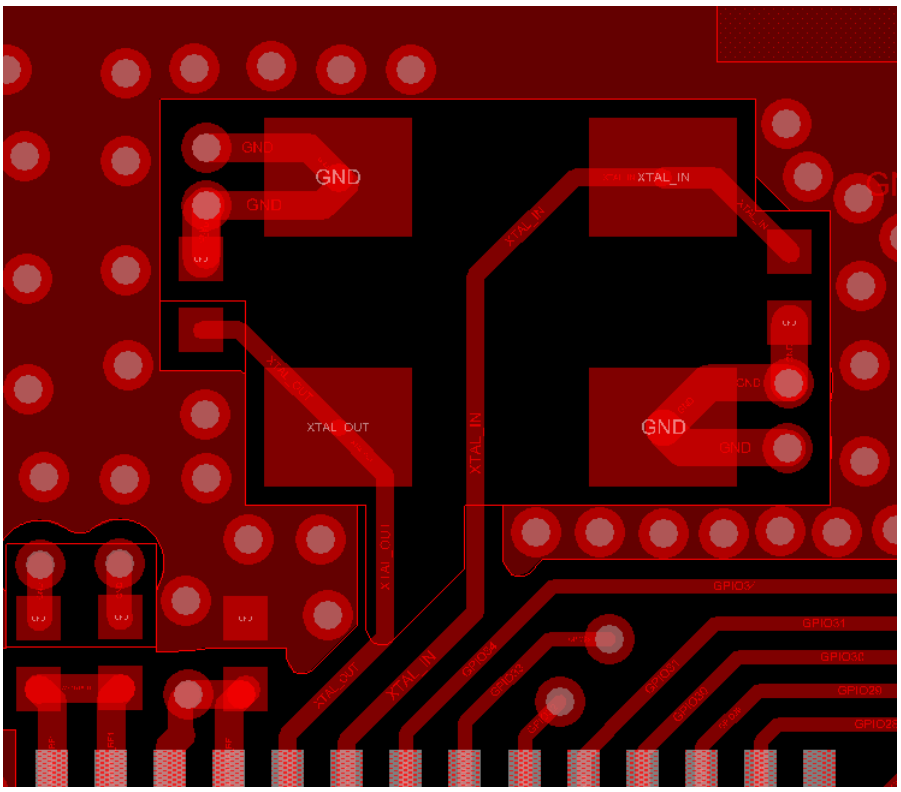

图 4.3: 晶体部分的 PCB 走线

4.3 射频

关于射频走线部分的布线，需要注意以下几点：

- 射频走线一定要做好 50 欧姆的阻抗控制。
- 射频走线下方不要有任何其他信号线与电源线。
- 射频走线两侧需要使用接地过孔做隔离保护。

- 如果 PCB 空间充裕，建议射频匹配器件摆放成“工”字型。若空间有限，则射频匹配器件需要做“Z”字型摆放。请在第一个匹配电容的接地焊盘处添加一个接地短截线，以抑制二次谐波。建议短截线长度为 55 mil，宽度为 8 mil，如图 5.5 所示。
- 若使用到了 IPEX 扣座，则馈电点焊盘下方不要铺任何铜皮，保证 IPEX 的走线及焊盘是参考顶层地皮。

如下是射频匹配器件的 PCB 走线方式，采用了“工”字型摆放：

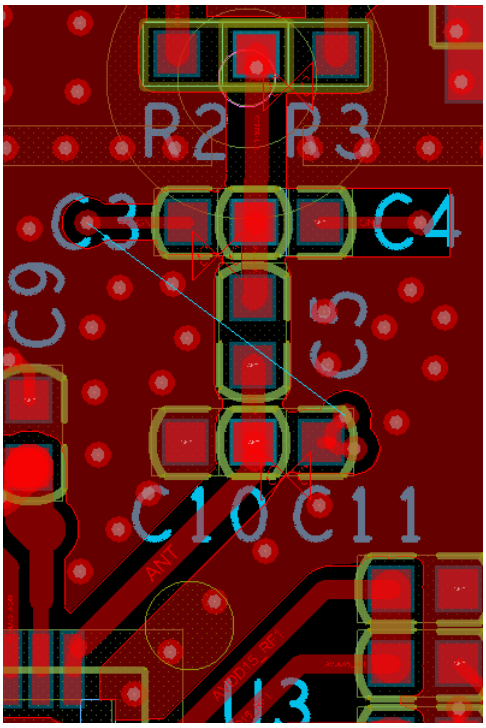

图 4.4: 射频匹配器件的 PCB 走线

4.4 天线

天线是一个高频能量转换器件，整机结构以及周围介质对天线性能有很大影响。设计初期需要注意以下几点：

- 天线周围不要放置任何具有金属属性的材料，会影响天线性能。
- 天线的输入阻抗最好控制在 50 欧姆附近，减小因为阻抗失配引起的功率损失。
- PCB 天线工作时，距离天线末端较近的地皮或信号网络，会因为电磁耦合存在一定的电压波动。建议天线末端不要放置敏感元器件。
- 建议针对实际产品中对天线进行建模与仿真，减少后期射频性能恶化的问题。同时，在天线端可以预留一个 Π 型匹配网络，用于调试天线。

4.5 硬件复位

针对复位电路，CHIP_EN 网络的走线以及对地电容尽量远离天线，防止天线发包时，由于电磁耦合导致 CHIP_EN 网络上存在电压抖动，引起错误复位现象。

4.6 SDIO2.0

- 虽然 SDIO2.0 的时钟频率最大只有 50MHz，建议尽量做到信号线等长
- 在 SDIO 时钟信号线上预留一个 RC 网络，用于减小 RF Desense 的影响。

4.7 USB2.0

针对 USB2.0 接口走线，需要注意以下几点：

- 对 USB_DM 与 USB_DP 信号线做差分，等长处理。避免出现时序偏移，产生共模干扰信号影响射频性能，初期设计建议预留共模电感位置。
- 在 USB 信号线上少打过孔，因为过孔会产生寄生电感，导致阻抗不连续，引发信号完整性问题。
- USB 信号线过孔周围建议多放置成对过地孔，增大信号线的回流路径
- USB 信号线差分阻抗控制在 90Ω ± 15% 附近。
- USB 信号走线最好保证有一个完整的参考地平面，地平面中途不要被割断。

4.8 接地

如果用户使用 BL616CL 芯片做模组的设计，需要注意以下几点：

- 模组背面的 EPAD 最好要有裸露铜皮，实际应用中该焊盘需要连接到系统底板上。
- 模组的 EPAD 过孔孔径不要大于 10mil，不然会存在漏锡现象。
- 模组天线下方两侧最好预留一个接地焊盘或者邮票孔。减小天线对其他 IO 的耦合影响。
- 顶底两层多打过地孔，减小电流回流路径。

5 参考设计

本章展示 BL616CL48 模组的原理图以及 PCB 版图设计文件，仅供参考。

5.1 BL616CL48 模组原理图设计

BL616CL48 模组参考原理图[1]设计如下所示：

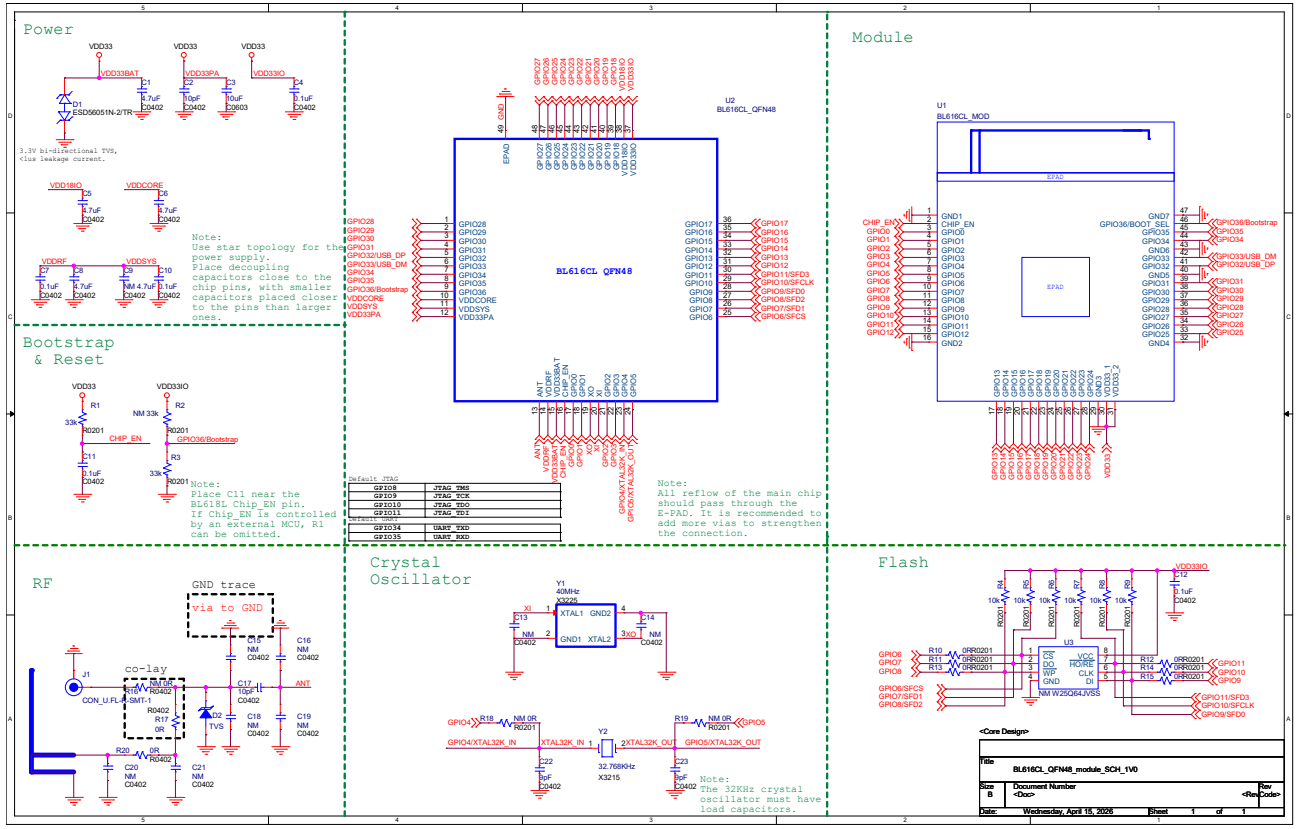

图 5.1: BL616CL48 模组原理图

[1]BL616CL48 模组与 BL616CL32 模组原理图设计基本一致，两款模组的区别就是两款模组支持的 IO 数量差异。

@2025 Bouffalo Lab

5.2 BL616CL48 低功耗模组原理图设计

BL616CL48 低功耗模组参考原理图，设计如下所示：

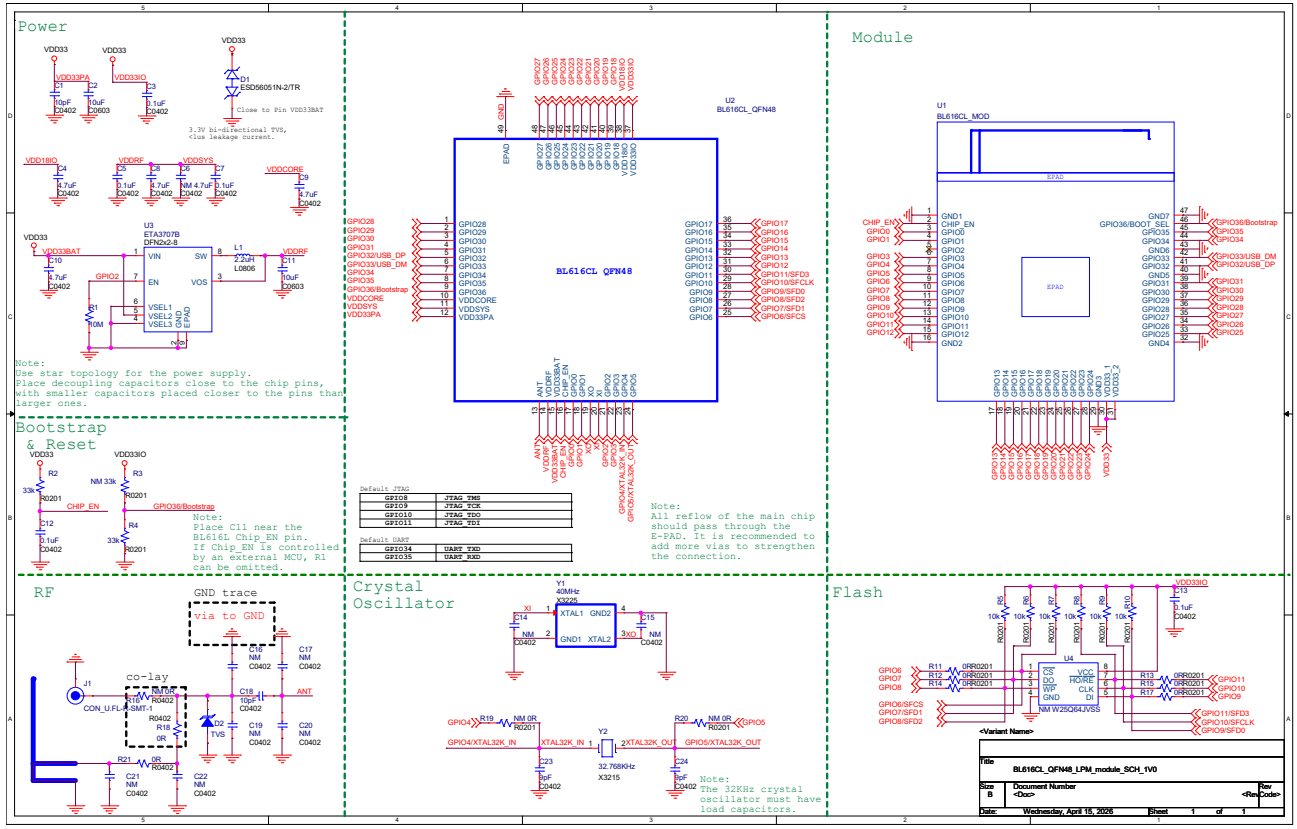

图 5.2: BL616CL48 低功耗模组原理图

@2025 Bouffalo Lab

5.3 BL616CL48 超低功耗模组原理图设计

BL616CL48 超低功耗模组参考原理图，设计如下所示：

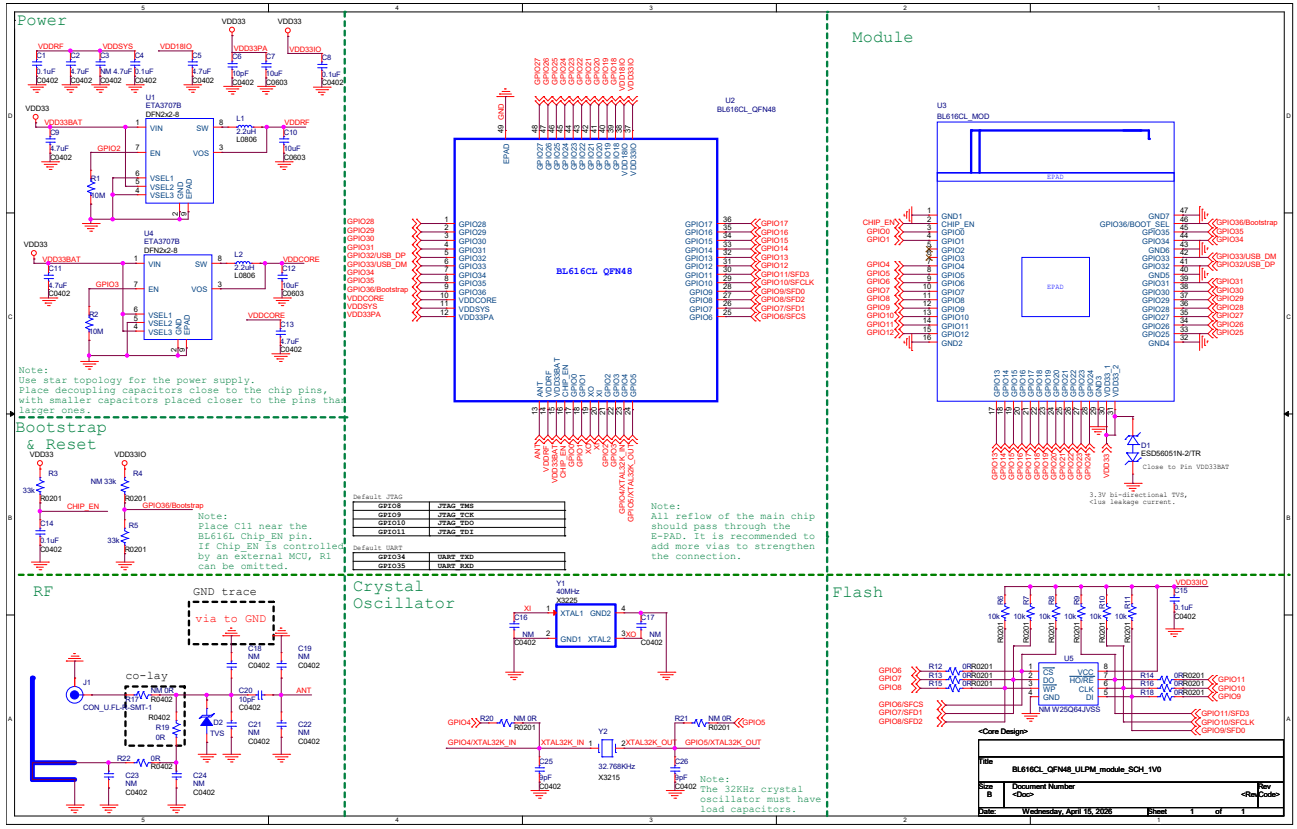

图 5.3: BL616CL48 超低功耗模组原理图

@2025 Bouffalo Lab

6 参考文献

本文档引用到的参考文献如下：

- 《BL616CL_DS_zh_CN_0.9.4.pdf》
- 《BL616CL_QFN48_module_SCH_1V0.pdf》
- 《BL616CL_QFN48_LPM_module_SCH_1V0.pdf》
- 《BL616CL_QFN48_ULPM_module_SCH_1V0.pdf》

用户若想获得更多信息，请参考如下网址：http://www.bouffalolab.com/